



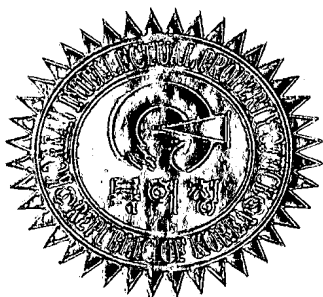
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0016434
Application Number

출원 년 월 일 : 2003년 03월 17일
Date of Application MAR 17, 2003

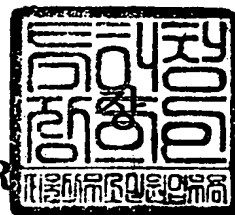
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.17
【발명의 명칭】	미세 패턴 형성 방법 및 이를 이용한 반도체 장치의 제조 방법
【발명의 영문명칭】	METHOD FOR FORMING A NANO-PATTERN AND METHOD FOR MANUFACTURING A SEMICONDUCTOR DEVICE USING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	변성환
【성명의 영문표기】	BYUN,Sung Hwan
【주민등록번호】	700726-1148712
【우편번호】	405-771
【주소】	인천광역시 남동구 만수4동 만수주공2단지아파트 201동 802호
【국적】	KR
【발명자】	
【성명의 국문표기】	이대엽
【성명의 영문표기】	LEE,Dae Youp
【주민등록번호】	650226-1069351
【우편번호】	435-825
【주소】	경기도 군포시 금정동 699-1
【국적】	KR
【발명자】	
【성명의 국문표기】	김봉철
【성명의 영문표기】	KIM,Bong Cheol

【주민등록번호】 721025-1036722
【우편번호】 442-727
【주소】 경기도 수원시 팔달구 영통동 신나무실주공5단지아파트
517동 303호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규
정에 의한 출원심사 를 청구합니다. 대리인
박영우 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 9 면 9,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 20 항 749,000 원
【합계】 787,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

나노급의 미세 패턴을 형성하기 위한 패턴 형성 방법 및 이를 이용한 반도체 장치의 제조 방법이 개시된다. 패턴이 형성될 대상물 상에 마스크 막을 형성하고, 마스크 막을 패터닝하여 설정 사이즈보다 큰 제1 사이즈의 스페이스를 갖는 제1 마스크 패턴을 형성한 다음, 제1 마스크 패턴을 열처리하여 제1 사이즈보다 작은 제2 사이즈의 스페이스를 갖는 제2 마스크 패턴을 형성한다. 이어서, 제2 마스크 패턴 상에 폴리머막을 형성하고 폴리머막과 제2 마스크 패턴을 반응시켜, 설정 사이즈에 일치하는 스페이스를 갖는 제3 마스크 패턴을 형성한다. 현재의 노광 장비에 의한 해상도 한계를 극복할 수 있으며, 약 100nm 이하의 임계 치수를 갖는 초고집적도의 반도체 장치를 생산할 수 있다.

【대표도】

도 4f

【명세서】**【발명의 명칭】**

미세 패턴 형성 방법 및 이를 이용한 반도체 장치의 제조 방법 {METHOD FOR FORMING A NANO-PATTERN AND METHOD FOR MANUFACTURING A SEMICONDUCTOR DEVICE USING THE SAME}

【도면의 간단한 설명】

도 1a 및 도 1b는 종래의 씨멀 플로잉 공정을 설명하기 위한 부분 단면도들이다.

도 2는 씨멀 플로잉 공정에 있어서 온도 변화에 따른 임계 치수의 변화를 나타내는 그래프이다.

도 3a 내지 도 3e는 종래의 화학 부착 공정을 설명하기 위한 단면도들이다.

도 4a 내지 도 4g는 본 발명에 따른 미세 패턴의 형성 방법 및 이를 포함하는 반도체 장치의 제조 방법을 설명하기 위한 부분 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 반도체 기판 120 : 절연막

140 : 포토레지스트 막 142 : 제1 포토레지스트 패턴

144 : 제2 포토레지스트 패턴 146 : 제3 포토레지스트 패턴

180 : 폴리머막 190 : 경화층

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 미세 패턴 형성 방법 및 이를 이용한 반도체 장치의 제조 방법에 관한 것으로서, 보다 상세하게는, 약 100nm 이하의 사이즈를 가지는 콘택 홀 또는 배선을 형성하기 위하여 나노급의 미세한 사이즈를 가지는 패턴을 형성하는 방법 및 이러한 패턴 형성 방법을 이용하여 반도체 장치를 제조하는 방법에 관한 것이다.
- <11> 일반적으로, 반도체 장치의 제조 공정에 있어서, 사진 식각(photolithography) 공정은 주 마스크(master mask)의 패턴을 절연막이나 금속막을 개재하여 반도체 기판 상에 도포되어 있는 포토레지스트(photoresist) 막에 전사한 다음, 상기 포토레지스트 막을 패터닝하여 제거하여 반도체 기판 상에 작업 마스크(work mask)를 형성하는 과정을 의미한다.
- <12> 통상적인 사진 식각 공정에 의하면, 반도체 기판 상에 절연막이나 도전막 등과 같이 패턴이 형성되어야 하는 타겟층(target layer) 위에 포토레지스트 막을 형성하고, 포토레지스트 막에 X선이나 자외선 등과 같은 광을 조사하여 포토레지스트 막의 설정된 영역과 설정되지 않은 영역에 각기 다른 용해도를 부여한다. 그 다음, 용해도가 큰 부분을 제거하여 포토레지스트 패턴을 형성하고, 형성된 포토레지스트 패턴을 마스크로 이용하여 타겟층에 활성 영역(active region), 배선(wiring) 내지 콘택 홀(contact hole) 등을 형성하기 위한 타겟층 패턴을 형성한다.

- <13> DRAM(Dynamic Random Access Memory)을 핵심으로 하는 반도체 제품의 대량 생산이 시작된 이후로 사진 식각 기술을 비약적으로 발전하였다. 통상적으로 DRAM의 집적도는 3년을 주기로 4배씩 증가하여 왔고, 그 밖의 다른 메모리 또는 로직 기술들도 꾸준히 발전하고 있다. 이에 따른 제품의 디자인 룰(Design Rule; minimum pattern size)도 4Mb DRAM의 약 $0.8\mu\text{m}$ 에서 1Gb DRAM의 약 $0.18\mu\text{m}$ 를 거쳐 비광학적 사진 식각 기술(Non Optical Lithography)이 개발되고 있다.
- <14> 하지만, DUV(Deep Ultra Violet) 사진 식각 기술에서 해상력을 높이기 위해 여러 기술을 조합한다고 하여도 $0.1\mu\text{m}$ 이하의 미세한 패턴을 구현하기가 쉽지 않으며, 이를 위해 새로운 광원(light source) 개발 등 여러 기술들이 시도되고 있다.
- <15> 현재 임계 치수의 한계를 극복하여 더 미세한 패턴을 형성하기 위한 방법 중 간단한 것은 장비의 업그레이드(upgrade)일 것이다. 하지만, 신규 장비를 새로 도입하여야 하기 때문에 생산비용을 증가시킨다는 문제점이 있으며, 새로운 장비의 도입에 따른 새로운 공정을 셋업(set-up)해야 한다는 문제점이 있다.
- <16> 신규 장비의 도입 없이, 현재 사진 식각 장비의 해상도 한계(resolution limit)를 극복하기 위한 것으로 써멀 플로잉 공정(Thermal Flowing Process)과 화학 부착 공정(Cheical Attached Process; CAP)이 있다.
- <17> 상기 써멀 플로잉 공정은 반도체 기판 상에 산화막 및 포토레지스트 패턴을 순차적으로 형성하고, 포토레지스트 패턴을 열처리하여 포토레지스트 패턴에 유동성을 부여함으로써 패턴의 스페이스를 축소하는 기술이다. 써멀 플로잉 공정은 포토레지스트 패턴을 구성하는 감광성 물질의 특성에 따라 공정 온도 및 시간을 조절하여 패턴의 임계 치수를 적절하게 축소할 수 있다.

- <18> 도 1a 및 도 1b는 종래의 써멀 플로잉 공정을 설명하기 위한 부분 단면도들로서, 반도체 기판 상에 콘택 홀을 형성하기 위한 과정을 도시한 것이다.
- <19> 도 1a를 참조하면, 반도체 기판(10) 상에 패턴을 형성하기 위한 절연막(12)이 형성된다. 스핀 공정을 통해 절연막(12) 상에 감광성 물질이 도포되고, 베이킹(baking) 과정을 거쳐 포토레지스트 막이 형성된다. 포토레지스트 막이 노광 및 현상 과정을 거치면서, 절연막(12) 상에 포토레지스트 패턴(14)이 형성된다.
- <20> 도 1b를 참조하면, 포토레지스트 패턴(14)을 열처리함으로써 포토레지스트 패턴(14)에 유동성을 부여하고, 포토레지스트 패턴(14)의 스페이스는 점차로 좁아진다. 일반적으로 포토레지스트 패턴(14)의 프로파일(profile)은, 도시된 바와 같이, 곡면을 형성할 수 있다.
- <21> 하지만, 써멀 플로잉에 의한 방식은 근본적으로 사진 식각 장비의 해상도에 의존할 수밖에 없기 때문에 일정 이상의 해상도 한계의 극복을 기대할 수 없다는 문제점을 갖는다. 또한, 과도한 고온에서의 써멀 플로잉을 수행하는 것은 해당 포토레지스트 패턴의 균일성(uniformity)을 저하시킬 수 있다는 문제점을 갖는다. 즉, 온도가 올라갈수록 포토레지스트의 유동성을 증가하며 유리 전이 온도 이상의 고온에서는 거의 액체에 가깝게 유동하여 심하게는 콘택 홀 등의 미세한 패턴을 막아버릴 수도 있다.
- <22> 도 2는 종래의 써멀 플로잉 공정에서 온도 변화에 따른 임계 치수(CD)의 변화를 도시한 그래프로서, 원자외선(Deep Ultra Violet; DUV) 포토레지스트 및 i-line($\lambda=365\text{nm}$) 포토레지스트를 비교하여 도시한 것이다. 도 2에서 DUV 포토레지스트 패턴에 관한 것은 실선으로 표시되어 있으며, i-line 포토레지스트 패턴에 관한 것을 점선으로 표시되어 있다.

- <23> 도 2를 참조하면, 포토레지스트 패턴의 임계 치수는 온도가 증가함에 따라 서서히 감소하다가, 유리 전이 온도를 통과하면서 임계 치수의 감소하는 속도가 서서히 증가하고, 유리 전이 온도를 지나 일정 온도 통과하면서 임계 치수가 급격히 감소한다.
- <24> 다시 말하면, 포토레지스트는 고온의 환경에서 급격하게 물성이 변화할 수 있으며, 이는 고온에서 써멀 플로잉 공정은 온도 변화에 상당히 민감하게 변화한다는 것을 의미한다. 고온에서는 아주 미미한 온도 변화에 의해서도 패턴 치수의 현저하게 변화할 수 있기 때문에, 온도 변화에 따른 임계 치수의 제어는 거의 불가능하다. 도시된 바와 같이, 유리전이온도 이상에서 DUV 포토레지스트 패턴의 임계 치수는 i-line 포토레지스트 패턴의 임계 치수보다 더 급하게 감소하여 제어가 쉽지 않음을 알 수 있다.
- <25> 현재 사진 식각 장비의 해상도 한계를 극복하기 위한 다른 방법으로 화학 부착 공정(Chemical Attached Process; CAP)이 있으며, 화학 부착 공정에 관하여 대한민국 공개특허 제2000-001567호 및 대한민국 공개특허 제2000-009374호가 개시되어 있다.
- <26> 도 3a 내지 도 3e는 종래의 화학 부착 공정을 설명하기 위한 단면도들이다.
- <27> 도 3a를 참조하면, 반도체 기판(30) 상에 패턴을 형성하기 위한 절연막(32)이 형성된다. 스핀 공정을 통해 절연막(32) 상에 감광성 물질이 도포되고, 약 90~110℃의 온도에서 약 60~100초 동안 진행되는 베이킹(baking) 과정을 거치면서 액체 상태의 감광성 물질로부터 탈이온수 등의 액체는 증발되고 고체의 감광성 물질만 남는다. 그 결과 절연막(32) 상에 고체의 감광성 물질로 이루어진 포토레지스트 막(34)이 형성된다.
- <28> 포토레지스트 막(34)은 자외선 또는 X-선 등에 노출되어 노광 영역과 비노광 영역으로 구분된다.

- <29> 도 3b를 참조하면, 노광된 포토레지스트 막을 현상 용액을 세정하면서 노광 영역 또는 비노광 영역이 선택적으로 제거되고, 포토레지스트 패턴(34a)이 형성된다. 포토레지스트 패턴(34a)의 스페이스(36)는 주 마스크(master mask)에 대응하는 치수(a)를 가지며, 장비가 갖는 해상도 한계에 따라 스페이스(36)의 치수(a)도 제한된다.
- <30> 도 3c를 참조하면, 포토레지스트 패턴(34a) 및 절연막(32) 상에 경화성 물질이 도포된다.
- <31> 도 3d를 참조하면, 경화성 물질(38)을 도포한 후, 고온의 온도에서 상기 포토레지스트 패턴(34a)과 경화성 물질(38)은 양 물질의 경계면에서 서로 반응을 하여 새로운 물질을 생성한다. 생성물(40)은 포토레지스트 패턴(34a) 및 경화성 물질(38)의 사이에서 성장하고 서로 연결되어 경화층(42)을 형성한다.
- <32> 도 3e를 참조하면, 경화층(42)이 형성되면서 포토레지스트 패턴(34a)의 스페이스(36a)의 치수(b)는 반응 이전의 치수(a)에서 줄어들게 되고, 그에 따라 포토레지스트 패턴(34a)의 임계 치수도 감소한다. 반응하지 않은 경화성 물질은 알칼리 용액 등에 의해서 제거될 수 있다.
- <33> 성장한 포토레지스트 패턴(34a, 42)을 마스크로 이용하여 건식 식각을 수행함으로써 실리콘 산화물로 구성된 절연막(32)을 패터닝할 수 있으며, 절연막 패턴(32a)이 형성된다.
- <34> 이와 같이, 화학 부착 공정은 반도체 기판 상에 형성된 포토레지스트 패턴에 수용성 폴리머과 같은 경화성 물질을 도포하고, 도포된 경화성 물질과 포토레지스트 패턴의 경계면에서 양 물질을 서로 반응시켜 경화층을 형성한다. 경화층을 패턴의 경계면에 부

착함으로써 포토레지스트 패턴은 임계 치수가 소정의 양만큼 줄어드는 효과를 얻을 수 있다.

<35> 상기 화학 부착 공정은 서멀 플로잉 공정에 비해 장비의 해상도 한계에 의한 영향을 적게 받으며, 포토레지스트 물질 및 그 위에 도포되는 수용성 폴리머에 따라 부착되는 양이 안정적이어서 현재 신규 장비의 도입 없이 현재 보유 장비의 해상도 한계를 극복하기 위한 용도로 유용하게 사용되고 있다.

<36> 하지만, 이러한 화학 부착 공정도 경화층을 부착할 수 있는 한계가 있으며, 어느 한계 이상의 경화층을 부착하는 경우 오히려 공정이 불안정해질 수 있으며, 실제 제품 생산 등에 적용할 수 없게 될 수도 있다. 또한, 화학 부착 공정은 패턴의 모양, 패턴의 밀도(pattern density) 등에 의존하기 때문에 안정적으로 적용할 수 있는 조건의 한계를 갖고 있다.

【발명이 이루고자 하는 기술적 과제】

<37> 따라서, 본 발명의 제1 목적은 현재 사진 식각 장비의 해상도 한계를 극복하여 원하는 치수의 패턴을 형성할 수 있는 미세 패턴 형성 방법을 제공하는 것이다.

<38> 본 발명의 제2 목적은 상기 미세 패턴 형성 방법을 적용하여 미세한 사이즈를 가지는 콘택 홀 또는 배선 등을 포함하는 반도체 장치를 제조하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<39> 상술한 본 발명의 제1 목적을 달성하기 위하여 본 발명의 바람직한 실시예에 따른 미세 패턴 형성 방법에 의하면, 패턴으로 형성될 대상물 상에 마스크층을 형성하고, 상기 마스크층을 패터닝하여 설정 사이즈보다 큰 제1 사이즈의 스페이스를 갖는 제1 마스크

크 패턴을 형성한다. 이어서, 상기 제1 마스크 패턴을 열처리하여 제2 사이즈의 스페이스를 갖는 제2 마스크 패턴을 형성한다. 씨멀 플로잉 공정에 의해서 제1 사이즈는 축소되어 제2 사이즈가 되며, 제2 마스크 패턴의 임계 치수도 축소된다. 그 다음, 제2 마스크 패턴 상에 수용성 폴리머로 이루어진 폴리머막을 형성하고 상기 폴리머막과 제2 마스크 패턴을 반응시켜, 상기 폴리머막과 제2 마스크 패턴의 경계면에 경화층을 형성한다. 상기 제2 마스크 패턴 및 부착된 경화층에 의해서 설정 사이즈의 스페이스를 갖는 제3 마스크 패턴이 형성된다. 상기 제3 마스크 패턴은 반도체 장비의 해상도 한계를 극복하여 더 작은 임계 치수를 구현할 수 있다.

<40> 본 발명에 따른 미세 패턴 형성 방법에 있어서, 제1 마스크 패턴을 열처리함으로써 제1 마스크 패턴의 임계 치수를 1차적으로 축소할 수 있으며, 제2 마스크 패턴에 화학 물질을 부착하여 제2 마스크 패턴의 임계 치수를 2차적으로 축소할 수 있다. 이러한 2단계의 다른 과정을 독립적으로 사용함으로써 각 과정에서의 최적 효과를 획득할 수 있으며, 그 결과 아주 미세한 설정 사이즈라도 공정 조건을 조절하여, 설정 사이즈의 스페이스를 갖는 제3 마스크 패턴을 형성할 수가 있다. 즉, 본 발명은 종래 씨멀 플로잉 공정 및 화학 부착 공정이 갖는 해상도 한계를 극복할 수 있다.

<41> 상기 제2 마스크 패턴을 형성함에 있어, 제1 마스크 패턴이 플로잉되는 양을 적절하게 조절할 필요가 있으며, 바람직하게는 제1 사이즈 및 제2 사이즈 사이의 차이는 약 100nm 이하로 제한되어야 한다.

<42> 또한, 상술한 본 발명의 제2 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 반도체 장치의 제조 방법에 의하면, 반도체 기판 상에 형성된 타겟층 상에 포토레지스트 막을 형성하고, 상기 포토레지스트 막을 패터닝하여 설정 사이즈보다 큰 제1 사

이즈의 스페이스를 갖는 제1 포토레지스트 패턴을 형성한다. 상기 제1 포토레지스트 패턴을 열처리하여 제1 사이즈보다 작은 제2 사이즈의 스페이스를 갖는 제2 포토레지스트 패턴을 형성한다. 이어서, 상기 제2 포토레지스트 패턴 상에 수용성 폴리머로 이루어진 폴리머막을 형성하고, 상기 폴리머막과 제2 포토레지스트 패턴을 반응시켜 설정 사이즈의 스페이스를 갖는 제3 포토레지스트 패턴을 형성한다. 상기 제3 포토레지스트 패턴을 마스크로 이용하여 타겟층을 식각하여 홀 또는 배선 등을 포함하는 타겟층 패턴을 형성한다.

<43> 본 발명에 따르면, 추가적인 장비의 도입 없이 현재의 사진 식각 장비를 이용하여 원하는 사이즈의 콘택 홀이나 배선 등을 형성할 수 있는 미세한 패턴을 형성할 수 있으며, 이에 따라 초고집적도를 갖는 반도체 장치를 제조할 수 있다. 또한, 써멀 플로잉 공정 및 화학 부착 공정의 한계를 극복하여, 약 100nm 이하의 임계 치수를 갖는 미세한 사이즈의 포토레지스트 패턴을 형성할 수 있는 동시에 이러한 포토레지스트 패턴을 이용하여 콘택 홀이나 배선 등을 형성할 수 있다.

<44> 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예에 따른 미세 패턴 형성 방법 및 이를 이용한 반도체 소자의 제조 방법을 상세하게 설명하지만, 본 발명이 하기 실시예에 의해 제한되거나 한정되는 것은 아니다.

<45> 도 4a 내지 도 4g는 본 발명에 따른 미세 패턴 형성 방법 및 이를 이용한 반도체 장치의 제조 방법을 설명하기 위한 부분 단면도들을 도시한 것이다.

<46> 도 4a 내지 도 4g에는 반도체 기판 상에 콘택 홀을 형성하는 방법이 도시되어 있으며, 콘택 홀을 통해 노출되는 소오드/드레인 영역 및 게이트 구조에 관한 상세한 설명 및 도시는 생략한다.

- <47> 도 4a를 참조하면, 게이트 구조물 및 소오스/드레인 영역이 형성된 반도체 기판(100) 상에 층간 절연막(ILD)으로 화학 기상 증착 공정에 따른 산화물 또는 질화물을 사용하여 절연막(120)을 형성한다.
- <48> 이어서, 절연막(120) 상에 감광제(sensitizer), 합성 수지(resin) 및 유기 용제(solvent)를 포함하는 감광성 물질(도시되지 않음)을 스핀 코팅(spin coating) 방식으로 도포한다. 이 경우, 도포된 감광성 물질과 절연막(120) 사이의 접착력을 개선하기 위하여 여러 공정들이 수행될 수 있다. 먼저, 절연막(120) 상에 감광성 물질을 도포하기 전에 절연막(120)이 형성된 반도체 기판(100)을 약 400℃ 정도의 온도 하에서 약 1~2 분 동안 가열하여 반도체 기판(100) 및 절연막(120)에 존재하는 수분을 제거한다. 이러한 공정을 탈수 베이킹(dehydration baking)이라 한다.
- <49> 또한, 절연막(120)과 감광성 물질 사이의 접착력을 개선하기 위한 동일한 목적으로 HMDS(Hexamethyldisilzane)을 사용하는 방법을 수행할 수 있다. 즉, HMDS를 상온 내지 약 150℃ 정도의 온도에서 반도체 기판(100) 및 절연막(120) 상에 도포함으로써, 절연막(120)과 산소(oxygen) 사이의 화학 반응을 유도하고, 그 결과 절연막(120) 상에 형성되는 포토레지스트 막(140)과 절연막(120) 간의 접착력을 개선시킬 수 있다. 이와 같은 HMDS 공정은 약 1~2분 동안 진행된다.
- <50> 상기 절연막(120)이 형성된 반도체 기판(100)을 약 90~110℃ 온도에서 약 1~2 분간 가열하는 프리 베이킹(pre-baking) 공정을 수행한다. 상기 프리 베이킹 공정에 의하여 유동체 상태의 감광성 물질에 포함된 약 80~90% 정도의 용매를 증발시킬 수 있으며, 잔류하는 고체를 포함하는 포토레지스트 막(140)은 약 400~1600nm 정도의 두께로 절연막(120) 상에 형성된다.

- <51> 이어서, 포토레지스트 막(140)에 원하는 패턴을 전사하기 위한 마스크(M)를 포토레지스트 막(140)이 형성된 반도체 기판(100)의 상부에 배치하고, g-line(436nm), i-line(365nm) 또는 KrF(248nm) 등의 파장을 가지는 광을 주사하여 반도체 기판(100) 상에 위치하는 포토레지스트 막(140)을 노광시킨다. 이에 따라, 포토레지스트 막(140)에는 마스크(M)로부터 원하는 형상의 패턴이 전사된다. 이 경우, 상기 마스크(M)로는 이원 마스크(Binary Intensity Mask) 또는 위상 반전 마스크(Phase Shift Mask; PSM) 등이 사용될 수 있다.
- <52> 도 4b를 참조하면, 노광된 포토레지스트 막(140)이 형성된 반도체 기판(100)에 대하여 PEB(Post Exposure Baking) 공정을 약 90~130℃ 정도의 온도에서 약 1~2분 동안 수행한다. 이 때, DUV 포토레지스트 막(140)에서는 노광에 의해서 산(H⁺)이 생성되지만, 상기 PEB 공정은 산을 증폭 또는 확산을 유도하여 노광 영역(exposed region)과 비노광 영역(unexposed region)의 용해도 차이를 더 분명하게 유발할 수 있다.
- <53> 상기 포토레지스트 막(140)을 노광시킨 후, 알칼리 용액(예를 들면, TMAH: 2.38%: Tetramethyl-Ammonium Hydroxide)을 사용하여 포토레지스트 막(140)을 현상한다. 여기서, 현상(developing) 과정은 노광 영역과 비노광 영역 사이의 용해도 차이에 의한 화학 반응을 이용하여 포토레지스트 막(140)을 선택적으로 제거하는 과정을 의미하며, 본 실시예에서의 현상 공정은 상온 내지 약 150℃ 정도의 온도에서 수행되며, 약 1~2 분 동안 진행된다.
- <54> 상기 현상 공정에 의해서 제1 포토레지스트 패턴(142)이 생성되며, 제1 포토레지스트 패턴(142)은 제1 사이즈(L1)의 스페이스(162)를 포함한다. 본 실시예에 따르면, 절연 막(120)에 설정된 사이즈(DL)의 치수를 갖는 콘택 홀 또는 배선을 형성한다. 대체로, 상

기 제1 포토레지스트 패턴(142)의 제1 사이즈(L1)는 형성하고자 하는 설정 사이즈(DL)보다 크며, 후속하여 제1 포토레지스트 패턴(142)의 스페이스를 축소하는 과정에 의해서 제1 포토레지스트 패턴(142)의 사이즈를 설정 사이즈(DL)와 일치시킨다.

<55> 도 4c를 참조하면, 제1 포토레지스트 패턴(142)을 포함하는 반도체 기판(100)을 약 140~180℃ 정도의 온도에서 열처리한다. 이와 같은 온도에서 제1 포토레지스트 패턴(142)이 가열되면서, 제1 포토레지스트 패턴(142) 내의 제1 사이즈(L1)의 스페이스(162)는 썬멀 플로잉(thermal flowing)에 의해서 그 사이즈가 점차 줄어들게 되고, 그 결과 제2 포토레지스트 패턴(144)이 형성된다.

<56> 상기 열처리 공정에 의해서 제2 포토레지스트 패턴(144)은 제1 사이즈(L1)보다 작은 제2 사이즈(L2)의 스페이스(162)를 포함하게 된다. 제2 포토레지스트 패턴(144)의 제2 사이즈(L2)는 미리 설정된 것으로 제1 사이즈(L1) 및 제2 사이즈(L2)의 차이는 약 100nm 이하로 설정되는 것이 바람직하다. 제1 사이즈(L1) 및 제2 사이즈(L2)의 차이가 약 100nm 이상일 경우, 상기 썬멀 플로잉 공정으로 사이즈를 축소하기 위해서 반도체 기판(100) 및 제1 포토레지스트 패턴(142)을 고온에서 장시간 동안 가열해야 하며, 이러한 조건에서 썬멀 플로잉에 따른 사이즈 축소의 양을 안정적으로 제어하는 것은 쉽지가 않기 때문이다.

<57> 전술한 바와 같이, 제2 포토레지스트 패턴(144)은 썬멀 플로잉 공정에 의해서 생성되며, 제1 사이즈(L1)는 제2 사이즈(L2)로 감소하기 때문에 제1 포토레지스트 패턴(142)보다 더 미세한 사이즈를 가지는 제2 포토레지스트 패턴(144)을 형성할 수 있다.

<58> 상기 제2 포토레지스트 패턴(144)을 형성한 후, 추가적인 마스크를 사용하지 않고 반도체 기판(100) 상에 형성된 제2 포토레지스트 패턴(144)을 노광시킬 수 있다. 상기

써멀 플로잉 공정을 수행한 후, 제2 포토레지스트 패턴(144)의 전면을 마스크 없이 노광 시킴으로써, 제2 포토레지스트 패턴(144) 내에 존재하는 산을 증폭 또는 확산시킬 수 있다. 이와 같이 제2 포토레지스트 패턴(144) 내부의 산을 증폭 또는 확산시키는 이유는 미량이기에는 하지만 제2 포토레지스트 패턴(144) 내부에 잔류하는 산이 열에 의해 확산하면서 제2 포토레지스트 패턴(144)의 계면에 존재하는 화학 물질과 반응할 수 있으며, 해당 반응에 의해 제1 포토레지스트 패턴(144)의 스페이스(164)가 추가적으로 감소할 수 있기 때문이다.

<59> 한편, 제2 포토레지스트 패턴(144)이 형성된 반도체 기판(100)을 약 90~130℃ 정도의 온도에서 약 1~2분 동안 열처리하는 PEB 공정을 수행할 수 있으며, 상기 PEB 공정을 통해서도 제2 포토레지스트 패턴(144) 내에 산을 생성 또는 확산시킬 수도 있다.

<60> 본 발명에 있어서, 과도한 온도에서의 처리에 의해서 제2 포토레지스트 패턴(144)의 치수가 제어할 수 없는 급변하는 것을 방지하기 위해서, 상기 써멀 플로잉 공정에 의한 제2 포토레지스트 패턴(144)의 스페이스(164)의 사이즈의 감소는 적절하게 조절되어야 하며, 제1 사이즈(L1) 및 제2 사이즈(L2) 간의 차이가 약 100nm 이하로 유지되는 것이 바람직하다.

<61> 도 4d를 참조하면, 제2 포토레지스트 패턴(144) 상에 경화 물질인 수용성 폴리머를 도포하여 폴리머막(180)을 형성한다. 상기 수용성 폴리머로는 멜라닌계 수용성 폴리머, 폴리비닐알코올 또는 플루오르계 수용성 폴리머 등이 사용될 수 있다.

<62> 본 발명에 있어서, 상기 수용성 폴리머로 분자량이 약 2000~10000g/mole 정도이며, 분자량 분포가 2.0~4.0 정도인 멜라닌계 수용성 폴리머를 사용하는 것이 바람직하다. 이

때, 폴리머막(180)은 통상의 스핀 코팅 공정으로 형성하며, 제2 포토레지스트 패턴(144) 상에 약 30~100nm 정도의 두께로 도포된다.

<63> 여기서, 제2 포토레지스트 패턴(144)의 스페이스(164)가 갖는 제2 사이즈(L2)는 설정 사이즈(DL)보다 크며, 차후의 경화층 형성 과정을 통해 제2 사이즈(L2) 및 설정 사이즈(DL) 간의 차이는 보상된다.

<64> 도 4e를 참조하면, 상기 수용성 폴리머로 이루어진 폴리머막(180)이 도포된 반도체 기판(100)을 약 90~150℃ 정도의 온도에서 약 30~150초 동안 열처리한다. 이에 따라, 제2 포토레지스트 패턴(144)과 폴리머막(180) 사이의 계면에서 양 물질 사이의 가교 반응(crosslinking reaction)이 발생하고, 상기 가교 반응에 의한 경화층(190)이 제2 포토레지스트 패턴(145) 및 폴리머막(180)의 인터믹싱(intermixing)에 의해 생성된다. 상기 경화층(190)의 주변에는 반응하지 않은 폴리머막(180)과 반응하지 않은 제2 포토레지스트 패턴(145)이 잔류한다. 상기 수용성 폴리머로 이루어진 폴리머막(180)을 열처리하는 과정은 제2 포토레지스트 패턴(144) 및 폴리머막(180)의 구성 물질이나 치수 등에 의해서 다양하게 변경될 수 있다.

<65> 도 4f를 참조하면, 반응하지 않은 폴리머막(182)을 탈이온수(DIW)를 이용하여 세정함으로써 제거한다. 그 결과, 반도체 기판(100) 상에는 제3 포토레지스트 패턴(146)이 형성된다. 여기서, 제3 포토레지스트 패턴(146)은 반응하지 않은 제2 포토레지스트 패턴(145) 및 경화층(190)으로 구성된다.

<66> 상기 경화층(190)이 제2 포토레지스트 패턴(144) 상에 형성되어 이들을 포함하는 제3 포토레지스트 패턴(146)을 구성함으로써, 제3 포토레지스트 패턴(146)의

스페이스(166)는 더 감소하게 된다. 이에 따라, 제3 포토레지스트 패턴(146)의 스페이스(166) 사이즈는 설정 사이즈(DL)와 일치하도록 조절될 수 있다.

<67> 도 4g를 참조하면, 제3 포토레지스트 패턴(146)을 마스크로 사용하여, 절연막(120)을 식각하여 절연막 패턴(122)을 형성한다. 제3 포토레지스트 패턴(146)을 마스크로 이용하여 건식 또는 습식 식각 공정을 수행할 수 있으며, 이러한 식각 공정의 결과·설정 사이즈(DL)의 치수를 갖는 콘택 홀이나 배선 등을 형성할 수 있는 사이즈를 가지는 패턴(122)을 제조할 수 있다.

<68> 상기 제3 포토레지스트 패턴(146)은 애싱(ashing) 공정, 황산(H_2SO_4) 및 과산화수소(H_2O_2)에 의한 세정 또는 유기 스트리퍼(organic stripper)를 사용하는 등의 방법에 의해서 제거될 수 있다.

【발명의 효과】

<69> 본 발명에 따르면, 추가적인 장비의 도입 없이 현재의 사진 식각 장비를 이용하여 원하는 사이즈의 콘택 홀이나 배선 등을 형성할 수 있는 미세한 패턴을 형성할 수 있으며, 이에 따라 초고집적도를 갖는 반도체 장치를 제조할 수 있다.

<70> 또한, 써멀 플로잉 공정 및 화학 부착 공정의 한계를 극복하여, 약 100nm 이하의 임계 치수를 갖는 미세한 사이즈의 포토레지스트 패턴을 형성할 수 있는 동시에 이러한 포토레지스트 패턴을 이용하여 콘택 홀이나 배선 등을 형성할 수 있다.

<71> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터

터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

마스크층을 형성하는 단계;

상기 마스크층을 패터닝하여 설정 사이즈보다 큰 제1 사이즈의 스페이스를 갖는 제1 마스크 패턴을 형성하는 단계;

상기 제1 패턴을 열처리하여 상기 제1 사이즈보다 작은 제2 사이즈의 스페이스를 갖는 제2 마스크 패턴을 형성하는 단계; 및

상기 제2 마스크 패턴 상에 폴리머막을 형성하는 단계; 및

상기 폴리머막과 상기 제2 마스크 패턴을 반응시켜 상기 설정 사이즈와 동일한 스페이스를 갖는 제3 마스크 패턴을 형성하는 단계를 구비하는 미세 패턴 형성 방법.

【청구항 2】

제 1 항에 있어서, 상기 마스크 층은 반도체 기판 상에 형성된 절연막 또는 도전막 상에 형성되며, 상기 제3 마스크 패턴을 이용하여 상기 절연막 또는 도전막을 식각하여 상기 기판 상에 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 미세 패턴 형성 방법.

【청구항 3】

제 2 항에 있어서, 상기 패턴은 홀 또는 배선을 포함하는 것을 것을 특징으로 하는 미세 패턴 형성 방법.

【청구항 4】

제 1 항에 있어서, 상기 제1 마스크 패턴을 열처리하는 단계는 140~180℃의 온도에서 수행되는 것을 특징으로 하는 미세 패턴 형성 방법.

【청구항 5】

제 1 항에 있어서, 상기 제2 사이즈 및 상기 제1 사이즈 사이의 차이는 100nm 이하인 것을 특징으로 하는 미세 패턴 형성 방법.

【청구항 6】

제 1 항에 있어서, 상기 폴리머막은 수용성 폴리머로 형성되는 것을 특징으로 하는 미세 패턴 형성 방법.

【청구항 7】

제 6 항에 있어서, 상기 수용성 폴리머는 멜라닌계 수용성 폴리머, 플루오르계 수용성 폴리머 및 폴리비닐알코올로 이루어진 그룹 중 선택된 하나인 것을 특징으로 하는 미세 패턴 형성 방법.

【청구항 8】

제 6 항에 있어서, 상기 폴리머막 및 상기 제2 마스크 패턴은 110~150℃의 온도에서 가교 반응(crosslinking reaction) 시켜 상기 폴리머 및 상기 제2 마스크 패턴의 경계에 경화층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 미세 패턴 형성 방법.

【청구항 9】

제 8 항에 있어서, 상기 폴리머막 및 상기 제2 마스크 패턴을 반응시키기 전에, 상기 폴리머막이 형성된 제2 마스크 패턴의 전면을 원자외선(Deep Ultra Violet)으로 노광

시키는 단계 및 상기 가교 반응 후 상기 반응하지 않은 폴리머막은 탈이온수로 제거하는 단계를 더 포함하는 것을 특징으로 하는 미세 패턴 형성 방법.

【청구항 10】

제 1 항에 있어서, 상기 제2 마스크 패턴을 형성한 후, 90~130℃의 온도에서 상기 제2 마스크 패턴을 열처리하는 단계를 더 포함하는 것을 특징으로 하는 미세 패턴 형성 방법.

【청구항 11】

제 1 항에 있어서, 상기 제2 마스크 패턴을 형성한 후, 상기 제2 마스크 패턴의 전면을 직접 노광시키는 단계를 더 포함하는 것을 특징으로 하는 미세 패턴 형성 방법.

【청구항 12】

제 1 항에 있어서, 상기 마스크층은 포토레지스트 막인 것을 특징으로 하는 미세 패턴의 형성 방법.

【청구항 13】

반도체 기판 상에 형성된 타겟층 상에 포토레지스트 막을 형성하는 단계;

상기 포토레지스트 막을 패터닝하여 설정 사이즈보다 큰 제1 사이즈의 스페이스를 갖는 제1 포토레지스트 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴을 열처리하여 상기 제1 사이즈보다 작은 제2 사이즈의 스페이스를 갖는 제2 포토레지스트 패턴을 형성하는 단계;

상기 제2 포토레지스트 패턴 상에 폴리머막을 형성하는 단계;

상기 폴리머과 상기 제2 포토레지스트 패턴을 반응시켜 상기 설정 사이즈와 동일한 스페이스를 갖는 제3 포토레지스트 패턴을 형성하는 단계; 및

상기 제3 포토레지스트 패턴을 마스크로 이용하여 상기 타겟층을 식각하여 타겟층 패턴을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

【청구항 14】

제 13 항에 있어서, 상기 타겟층은 절연막 또는 도전막인 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 15】

제 13 항에 있어서, 상기 제1 패턴을 열처리하는 단계는 140~180℃의 온도에서 수행되는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 16】

제 13 항에 있어서, 상기 제2 사이즈 및 상기 제1 사이즈 사이의 차이는 100nm 이하인 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 17】

제 13 항에 있어서, 상기 폴리머막은 멜라닌계 수용성 폴리머, 플루오르계 수용성 폴리머 및 폴리비닐알코올로 이루어진 그룹 중 선택된 어느 하나의 수용성폴리머로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 18】

제 13 항에 있어서, 상기 폴리머막 및 상기 제2 포토레지스트 패턴은 110~150℃의 온도에서 가교 반응시켜, 상기 폴리머막 및 상기 제2 포토레지스트 패턴의 경계에 경화층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 19】

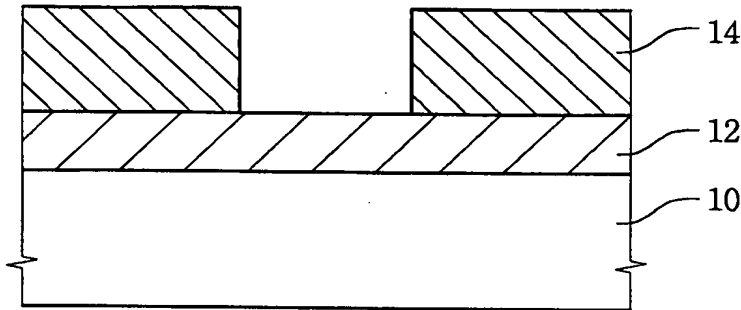
제 18 항에 있어서, 상기 폴리머막 및 상기 제2 포토레지스트 패턴을 반응시키기 전에 상기 폴리머막이 형성된 상기 제2 포토레지스트 패턴의 전면을 원자외선으로 노광시키는 단계 및 상기 가교 반응 이후의 반응하지 않은 폴리머막을 탈이온수에 의해 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 20】

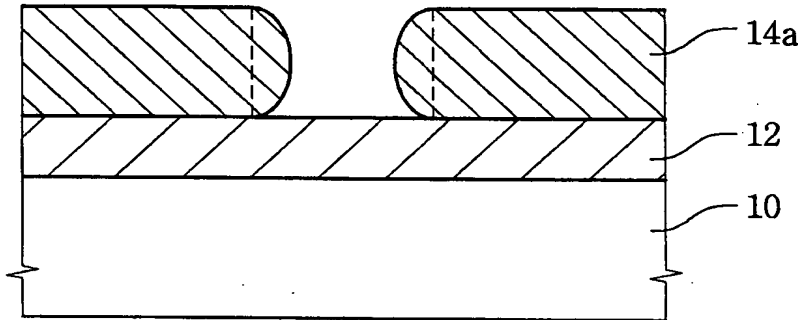
제 13 항에 있어서, 상기 제2 포토레지스트 패턴을 형성한 후, 90~130℃의 온도에서 상기 제2 포토레지스트 패턴을 열처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【도면】

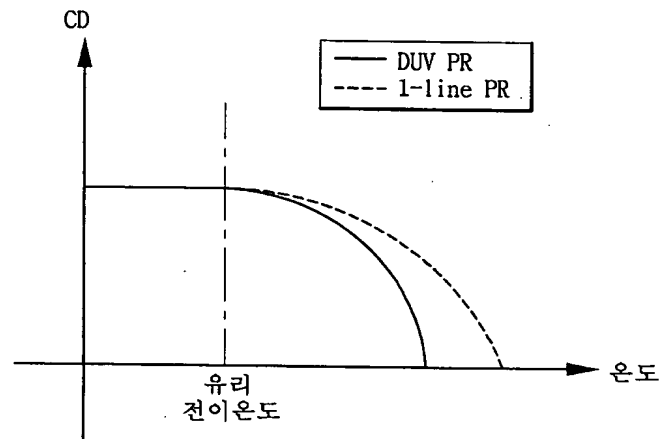
【도 1a】



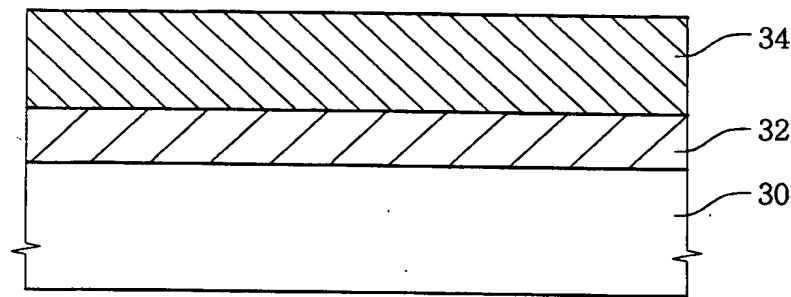
【도 1b】



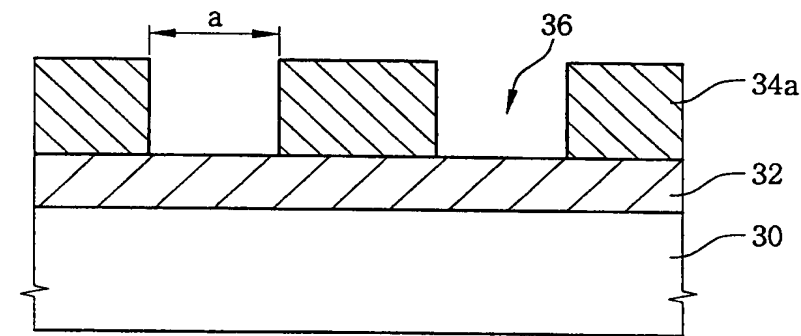
【도 2】



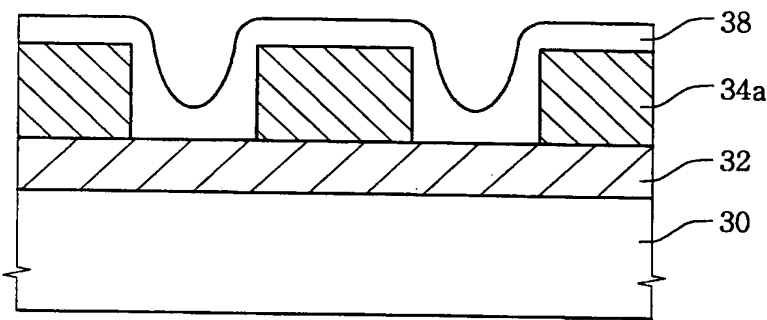
【도 3a】



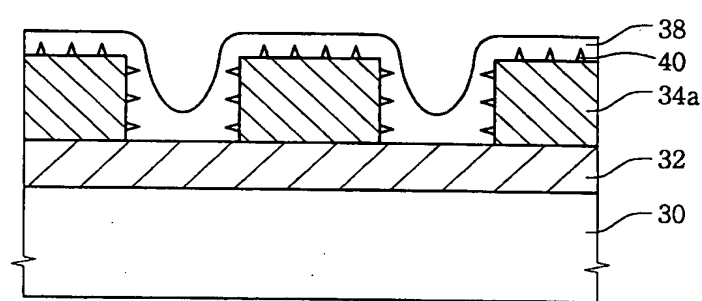
【도 3b】



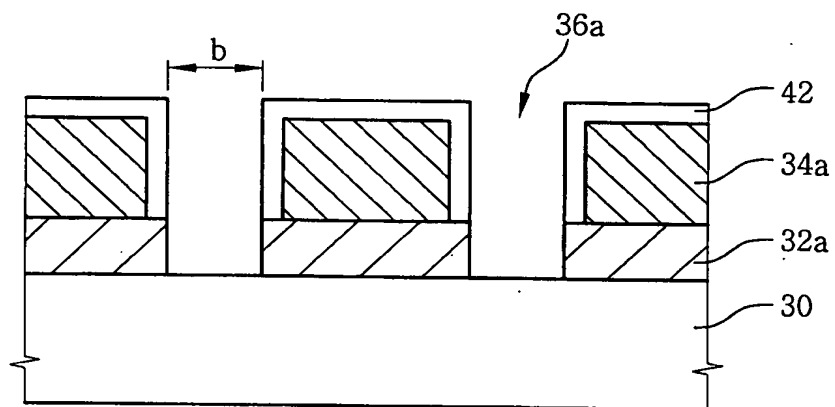
【도 3c】



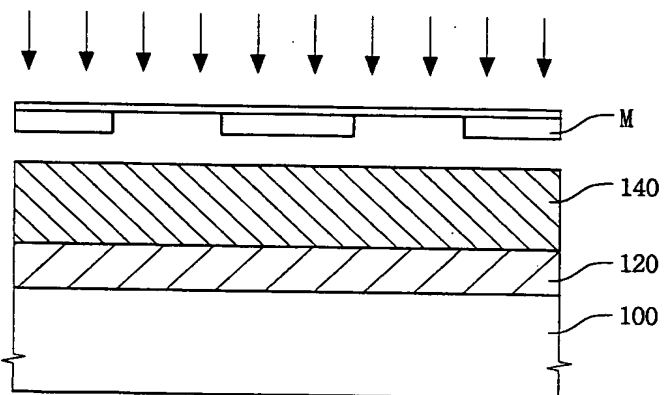
【도 3d】



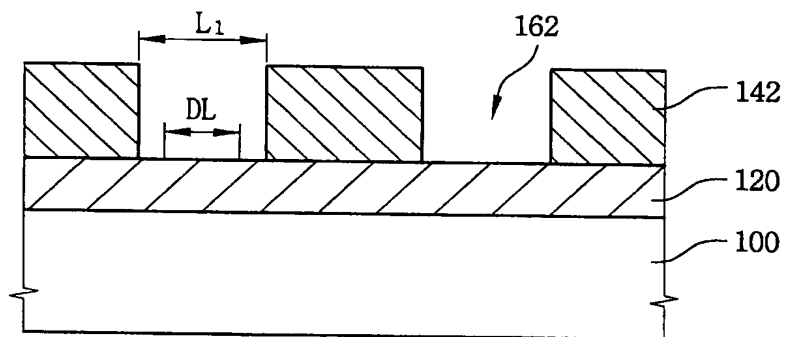
【도 3e】



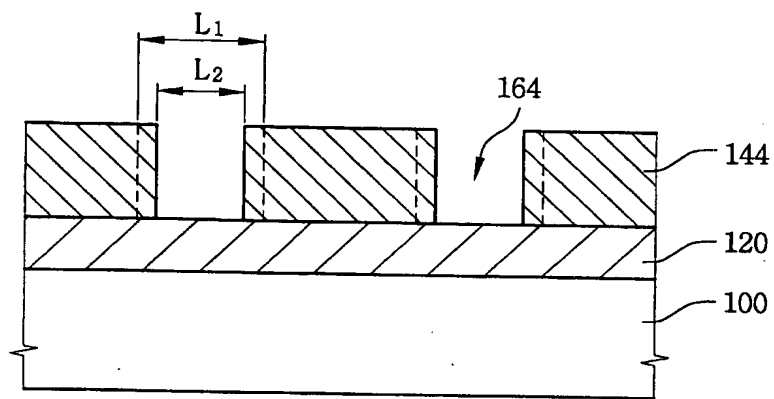
【도 4a】



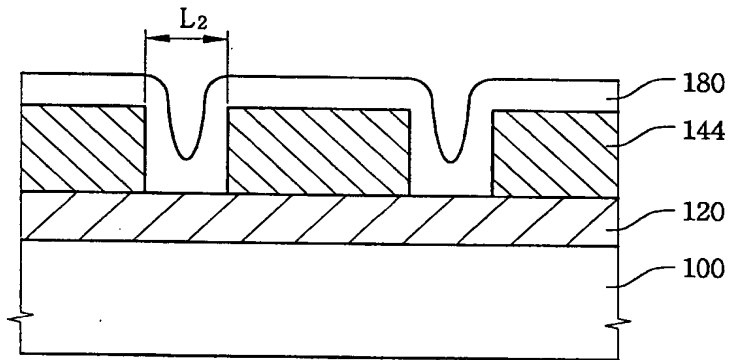
【도 4b】



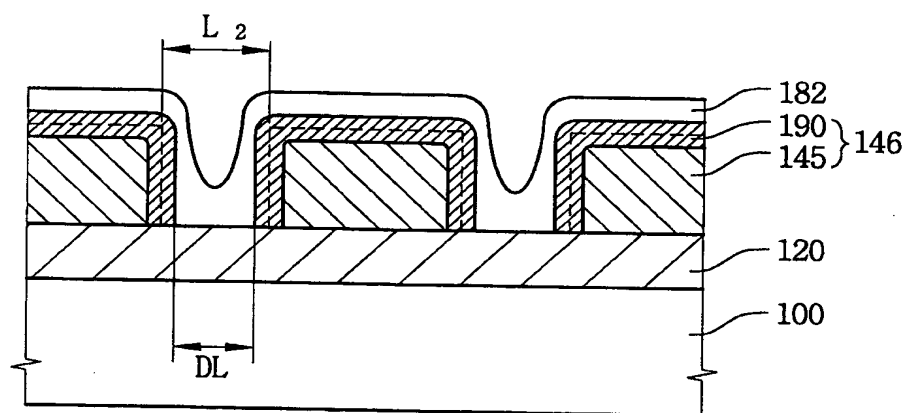
【도 4c】



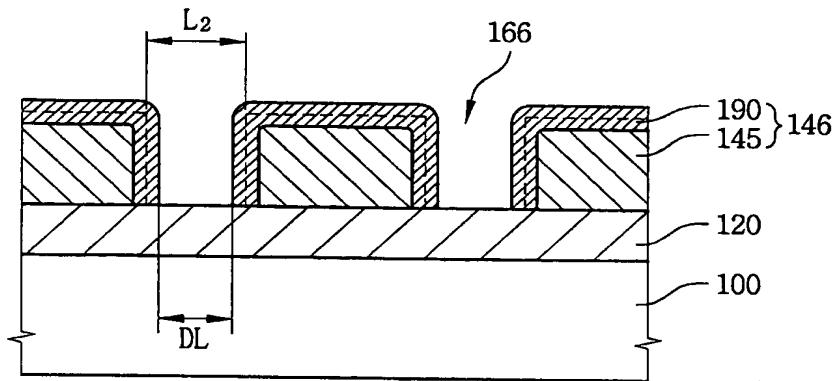
【도 4d】



【도 4e】



【도 4f】



【도 4g】

